

- WikiChip

- WikiChip

- Дом
 - Случайная статья
 - Недавние изменения
 - Подача чипа

- Покрытие предохранителей

- Свежие новости
 - ISSCC
 - IEDM
 - VLSI
 - Горячие чипсы
 - SuperComputing

- Социальные сети

- щебет

- Популярный

- Компании

- Intel
 - AMD
 - РУКА
 - Qualcomm

- микроархитектурами

- Skylake (Клиент)
 - Skylake (Сервер)
 - Zen
 - Кофейное Озеро
 - Дзен 2

- Технологические узлы

- 14 нм
 - 10 нм
 - 7 нм

- архитектуры

- Популярный x86

- Intel

- клиент

- Skylake
 - Kaby Lake
 - Кофейное Озеро
 - Ледяное озеро

- сервер

- Skylake
 - Каскадное озеро
 - Купер Лэйк
 - Ледяное озеро

- Большие ядра

- Солнечная бухта
 - Willow Cove

- Маленькие сердечники

- Goldmont
 - Голдмонт Плюс

- Тремонт
- Gracemont

■ AMD

Zen
Zen +
Дзен 2
Дзен 3

Популярное ARM

■ РУКА

сервер

- Neoverse N1
- Зевс

большой

- Cortex-A75
- Cortex-A76
- Cortex-A77

маленький

- Cortex-A53
- Cortex-A55

■ Cavium

Вулкан

■ Samsung

Exynos M1
Exynos M2
Exynos M3
Exynos M4

■ чипсы

Популярные Семьи

■ Intel

Core i3
Core i5
Core i7
Core i9
Xeon D
Xeon E
Xeon W
Ксеон Бронза
Xeon Silver
Ксеон Голд
Xeon Platinum

■ AMD

Ryzen 3
Ryzen 5
Ryzen 7
Ryzen Threadripper
EPYC
EPYC Embedded

■ ампер

Emag

■ яблоко

секира

■ Cavium

ThunderX
ThunderX2

■ Hisilicon

Kirin

■ MediaTek

гелиограф

■ Компания NXP

i.MX
QorIQ Layerscape

■ Qualcomm

Snapdragon 400
Snapdragon 600
Snapdragon 700
Snapdragon 800

■ Renesas

R-Car

■ Samsung

Exynos

■

chip, part #, march, family,

Из WikiChip

Изменить значения

Sunny Cove march

Общая информация

Тип арки	Процессор
дизайнер	Intel
производитель	Intel
Вступление	2019
Процесс	10 нм
Основные настройки	2 , 4
Трубопровод	
Тип	Superscalar
ОоОЕ	да
умозрительный	да
Рег	
Переименование	да
Этапы	14-19
инструкции	
ЭТО	x86-64
расширения	MOVBE, MMX, SSE, SSE2, SSE3, SSSE3, SSE4.1, SSE4.2, POPCNT, AVX, AVX2, AES, PCLMUL, FSGSBASE, RDRND, FMA3, F16C, BMI, BMI2, VT-x, VT-d, TXT, TSX, RDSEED, ADCX, PREFETCHW, CLFLUSHOPT, XSAVE, SGX, MPX, AVX-512
кэш	
L1I Cache	32 КиБ / основной 8-полосный набор ассоциативных
L1D Cache	48 КиБ / основной 12-полосный набор ассоциативных
L2 Cache	512 КиБ / основной 8-полосный набор ассоциативных
L3 Cache	2 МиБ / основной 16-полосный набор ассоциативных
правопреемство	
Palm Cove	Willow Cove

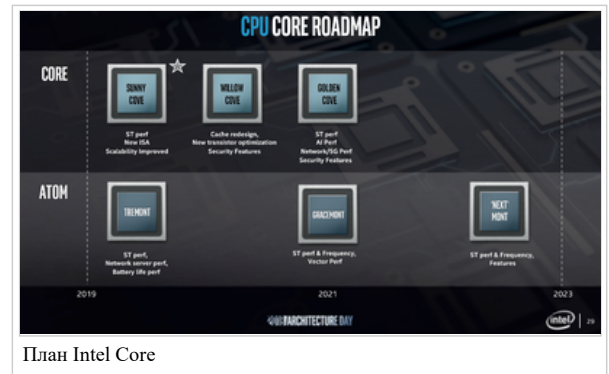
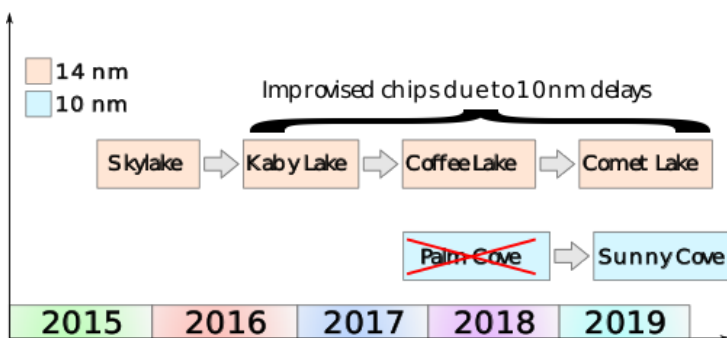
Sunny Cove (SNC) является преемником Palm Cove , высокопроизводительной 10-нм ядерной микроархитектуры x86, разработанной Intel для ряда серверных и клиентских продуктов, включая Ice Lake (клиент) , Ice Lake (сервер) , Lakefield и Nervana NNP-I . Микроархитектура была разработана Центром исследований и разработок Intel (IDC) в Хайфе, Израиль.

содержание

- 1 История
- 2 Технологии процесса
- 3 Архитектура
 - 3.1 Ключевые изменения от Palm Cove / Skylake
 - 3.1.1 Новые инструкции
 - 3.2 Блок-схема
- 4 Обзор
- 5 Трубопровод
 - 5.1 Широкий обзор
 - 5.2 Front-end
 - 5.3 Back-end
- 6 Die
 - 6.1 Core
 - 6.2 Основная группа
- 7 Библиография

История

Sunny Cove была впервые представлена Intel в день архитектуры 2018 года. Изначально Intel рассчитывала, что Sunny Cove станет преемником Palm Cove в конце 2017 года, который должен был стать первым 10-нм ядерным ядром и подходящим преемником Skylake. Длительные задержки и проблемы с 10 нм процессом привели к появлению ряда импровизированных производных Skylake, включая Kaby Lake, Coffee Lake и Comet Lake. Для всех практических целей Palm Cove был пропущен, а Intel отправилась непосредственно в Sunny Cove. Sunny Cove дебютировал в середине 2019 года.



План Intel Core

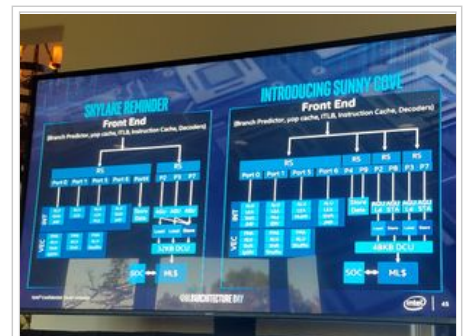
Технологические процессы

Sunny Cove разработана с учетом преимуществ 10 нм + процесса Intel.

Архитектура

Ключевые изменения от Palm Cove / Skylake

- Значительное повышение IPC (по сообщениям Intel в среднем 18% IPC по прокситестам, таким как SPEC CPU2006 / SPEC CPU2017)
- Внешний интерфейс
 - Кэш-память μ OP в 1,5 раза больше (2,25 тыс. Записей по сравнению с 1536)
 - Умные сборщики
 - Улучшенный предсказатель ветвлений
 - ITLB
 - Двойные 2M страницы (16 записей, по сравнению с 8)
 - Более высокий IDQ (70 мкОП, по сравнению с 64)
 - ЛСД может обнаружить до 70 мкОП циклов (по сравнению с 64)
- Back-конец
 - Более широкое распределение (5-позиционное, по сравнению с 4-позиционным)
 - В 1,6 раза больше ROB (352, вместо 224 записей)
 - планировщик
 - Большой планировщик (? , Вместо 97 записей)
 - Большая отправка (в 10 направлениях, по сравнению с 8 направлениями)
- Двигатель исполнения



Изменения Skylake в Sunny Cove

- Порты исполнения перебалансированы
- 2 порта хранения данных (по сравнению с 1)
- 2x адрес магазина AGU (форма 1)
- Новые возможности парного магазина
- Заменены 2 общих AGU на два загрузочных AGU
- Подсистема памяти
 - LSU
 - В 1,8 раза больше полетов (128 по сравнению с 72 записями)
 - В 1,3 раза больше бортовых магазинов (72, вместо 56 записей)
 - Кэш данных L1 в 1,5 раза больше (48 КиБ, вместо 32 КиБ)
 - Кэш-память второго уровня в 2 раза больше (512 КиБ, вместо 256 КиБ)
 - Большие STLB
 - Стол 1G большего размера (1024 входа, по сравнению с 16)
 - Большая таблица 4k (2048 записей, по сравнению с 1536)
 - Новый 1024-позиционный стол 2M / 4M
 - 5-уровневый пейджинг
 - Большой виртуальный адрес (57 бит, вместо 48 бит)
 - Значительно большое виртуальное адресное пространство (128 ПиБ, вместо 256 ТиБ)

Этот список неполон; Вы можете помочь, расширив его (https://en.wikichip.org/w/index.php?title=intel/microarchitectures/sunny_cove&action=edit).

Новые инструкции

Sunny Cove представила ряд новых инструкций :

- SHA- Аппаратное ускорение для операций хеширования SHA
- CLWB - Принудительная обратная запись строки кэша без сброса
- RDPID - прочитать идентификатор процессора
- Дополнительные расширения AVX-512 :
 - AVX512VPOPCNTDQ - AVX-512 Vector Population Count Двойное слово и четырехсловное слово
 - AVX512VNNI - Векторные инструкции нейронной сети AVX-512
 - AVX512GFNI - AVX-512 Galois Field Новые инструкции
 - AVX512VAES - AVX-512 Вектор AES
 - AVX512VBMI2 - AVX-512 Векторная битовая манипуляция, версия 2
 - AVX512BITALG - Битовые алгоритмы AVX-512
 - AVX512VPCMLMQDQ - AVX-512 Vector, векторное умножение без переноски
- SSE_GFNI - SSE на базе Галуа Филд Новые инструкции
- AVX_GFNI - AVX на основе Галуа Филд Новые инструкции
- Split Lock Detection - обнаружение и вызывает исключение для разделенных блокировок
- Fast Short REP MOV

Только на серверных частях (Ice Lake (Server)):

- TME - Общее шифрование памяти
- PCONFIG Конфигурация платформы
- WBNOINVD Обратная запись и не делает кэш недействительным
- ENCLV - Инструкции по переподписке SGX

Блок-схема



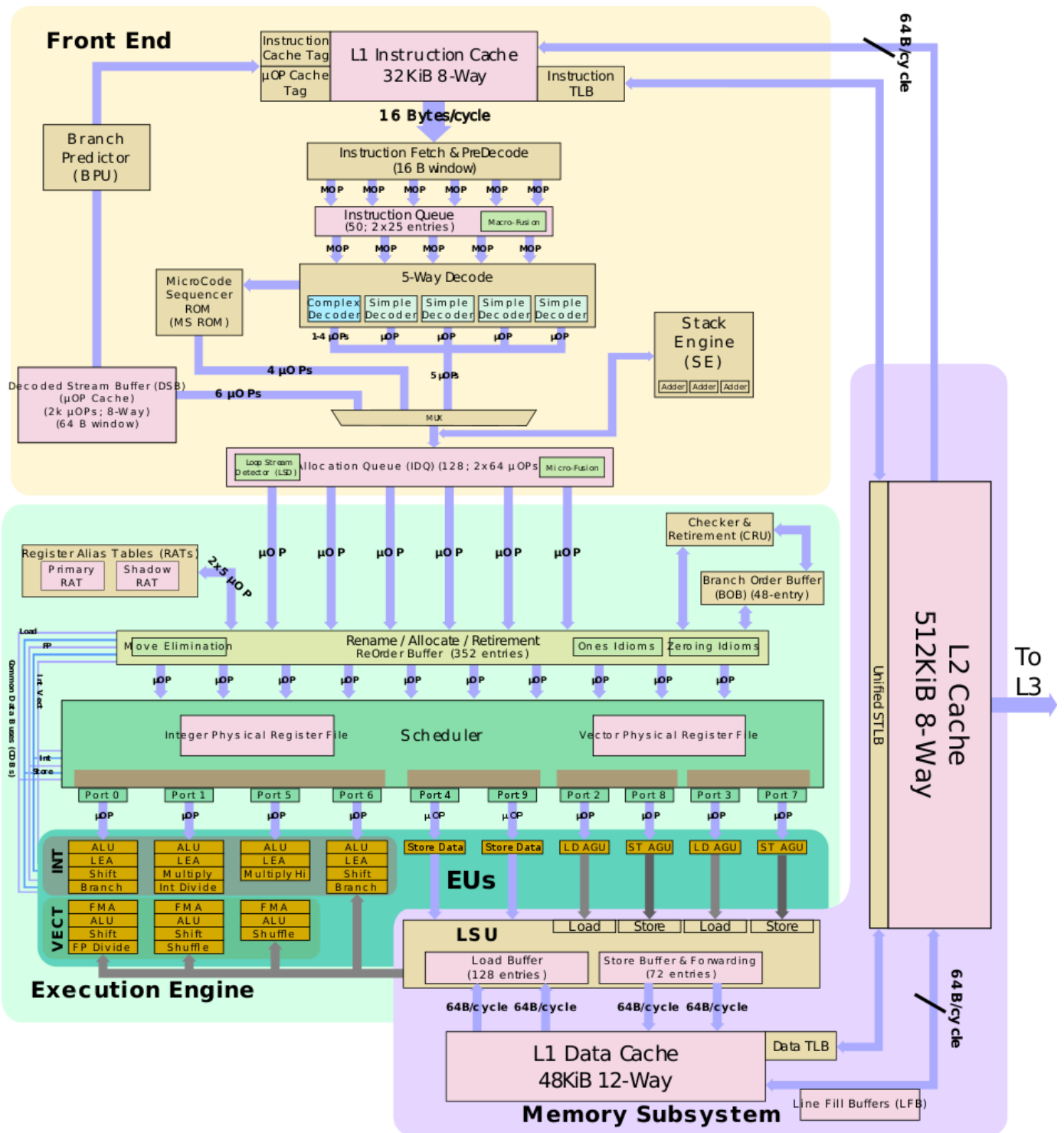
Улучшения Sunny Cove

	ICE LAKE	SUNNY COVE	ICE LAKE
L1 Data Cache	32KB	32KB	48KB
L2 Cache	256KB	256KB	512KB
L2 TLB	16KB	16KB	2048 4KB
3rd Cache	1.5M ways	1.5M ways	2.25M ways
QoS Windows	160	160	360
In-Flight Loads	72	72	128
In-Flight Stores	42	56	72

NEW CAPABILITIES

- New Instructions for Higher Performance
- Big Number Arithmetic (BNA)
- Vector FMA
- Vector Sampling Multiplier
- Scalar FMA
- Additional Vector Capabilities
- Optional - Instruction Acceleration
- AVX512 GFNI (Galois Field)
- AVX512 VAES (Vector AES)
- AVX512 VBMI2 (Vector Bit Manipulation)
- Security Features
- Intel Mode Instruction Population (IMIP)

Буферы Sunny Cove



Обзор

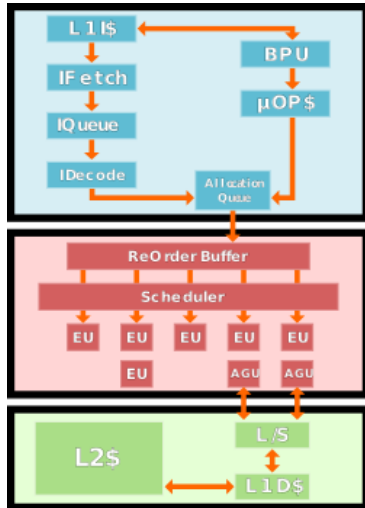
Sunny Cove - это микроархитектура Intel для ядра процессора, которая включена в ряд клиентских и серверных чипов, которые сменяют Palm Cove (и, фактически, серию производных Skylake). Sunny Cove - это просто ядро, которое реализовано в многочисленных чипах Intel, включая Lakefield, Ice Lake (клиент), Ice Lake (сервер) и ускоритель Nervana NNP. Sunny Cove представляет большой набор улучшений, которые значительно улучшают производительность устаревшего кода и нового кода за счет извлечения параллелизма, а также новых функций. Они включают в себя значительно глубже из окна конвейера, более широкие возможности выполнения, более высокая пропускная способность хранилища нагрузки, меньшие эффективные задержки доступа и больший объем кэшей.

Трубопровод

Как и его предшественники, Sunny Cove концентрируется на снижении производительности и снижении энергопотребления с помощью ряда ключевых способов. Intel строит Sunny Cove на предыдущих микроархитектурах, потомках Sandy Bridge. Чтобы ядро увеличивало общую производительность, Intel сосредоточилась на извлечении дополнительного параллелизма.

Широкий обзор

Санни-Ков с высоты 5 000 футов представляет собой логическое развитие Скайлэйка и Хасвелла. Поэтому, несмотря на некоторые существенные отличия от предыдущей микроархитектуры, общий дизайн в основном одинаков и может рассматриваться как улучшение по сравнению с Skylake, а не как полное изменение.



Конвейер может быть разбит на три области: интерфейсную часть, фоновую часть или механизм выполнения и подсистему памяти. Целью внешнего интерфейса является обеспечение внутреннего потока достаточным потоком операций, которые он получает путем декодирования инструкций, поступающих из памяти. У внешнего интерфейса есть два основных пути: путь кэша μ OPs и старый путь. Устаревший путь - это традиционный путь, посредством которого команды x86 переменной длины выбираются из кэша команд уровня 1, помещаются в очередь и, следовательно, декодируются в более простые μ OP фиксированной длины. Альтернативным и гораздо более желательным путем является путь кэш-памяти μ OPs, посредством которого кэш-память содержащий уже декодированные μ OP, получает попадание, позволяющее отправлять μ OP непосредственно в очередь декодирования.

Независимо от того, по какому пути пойдет инструкция, она в конечном итоге попадет в очередь декодирования. IDQ представляет конец входной части и упорядоченную часть машины и запуск исполнительного механизма, который работает не по порядку.

В конце концов микрооперации посещают буфер переупорядочения. Именно там происходит распределение, переименование и удаление регистров. На этом этапе также выполняется ряд других оптимизаций. Из буфера переупорядочения μ OP отправляются в единый планировщик. Планировщик имеет несколько выходных портов, каждый из которых связан с набором различных исполнительных блоков. Некоторые модули могут выполнять базовые операции ALU, другие могут выполнять умножение и деление, а некоторые модули способны выполнять более сложные операции, такие как различные векторные операции. Планировщик эффективно отвечает за постановку в очередь μ OP на

соответствующем порту, чтобы они могли выполняться соответствующим модулем.

Некоторые μ OP имеют дело с доступом к памяти (например, загрузка и хранение). Они будут отправлены на выделенные порты планировщика, которые могут выполнять эти операции с памятью. Операции хранения идут в буфер хранилища, который также может выполнять пересылку при необходимости. Аналогично, операции загрузки происходят из буфера загрузки. Sunny Cove имеет выделенный кэш данных уровня 48 КиБ 1-го уровня и выделенный кэш команд уровня 32 КиБ 1-го уровня. Он также оснащен частной кэш-памятью второго уровня объемом 512 КиБ, которая используется обоими кэш-памятью первого уровня.

Каждое ядро имеет часть третьего уровня кэша, который используется всеми ядрами. Для Ice Lake (Client), которая включает в себя ядра Sunny Cove, на одном кристалле могут быть либо два, либо четыре ядра.

Front-end

Этот раздел пуст; Вы можете помочь добавить недостающую информацию, отредактировав эту страницу (https://en.wikichip.org/w/index.php?title=intel/microarchitectures/sunny_cove&action=edit).



Эта статья находится в стадии разработки!

Back-end

Этот раздел пуст; Вы можете помочь добавить недостающую информацию, отредактировав эту страницу (https://en.wikichip.org/w/index.php?title=intel/microarchitectures/sunny_cove&action=edit).

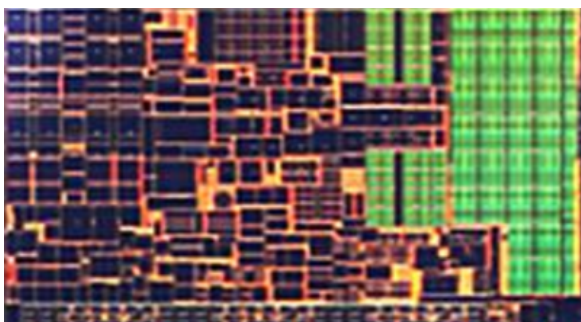


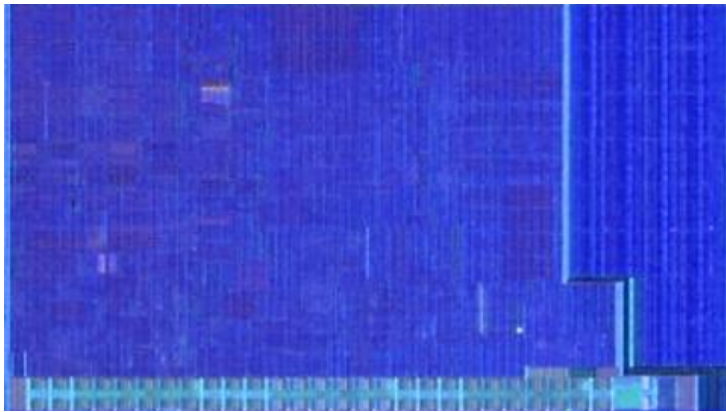
Эта статья находится в стадии разработки!

Die

Core

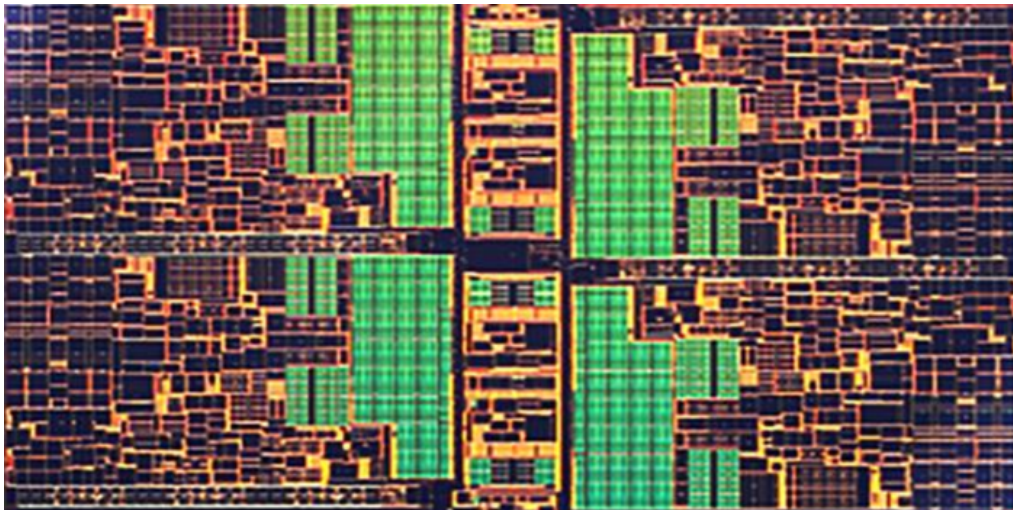
- 10 нм + процесс
- Ядро от ледяного озера SoC
- Размер кристалла ~ 6,91 мм²
 - ~ 3,5 мм x ~ 1,97 мм

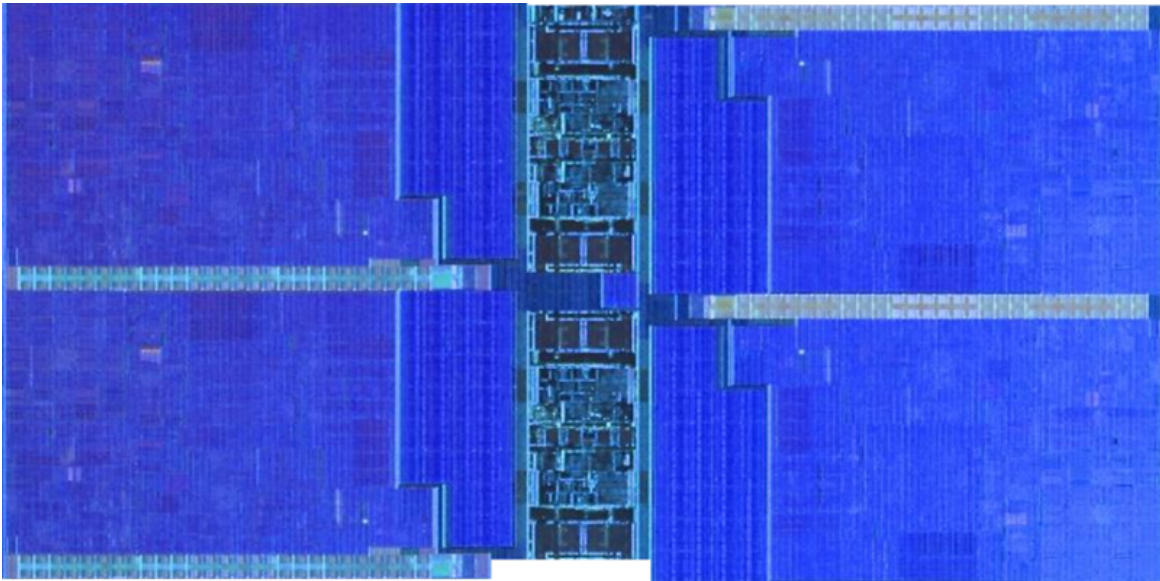
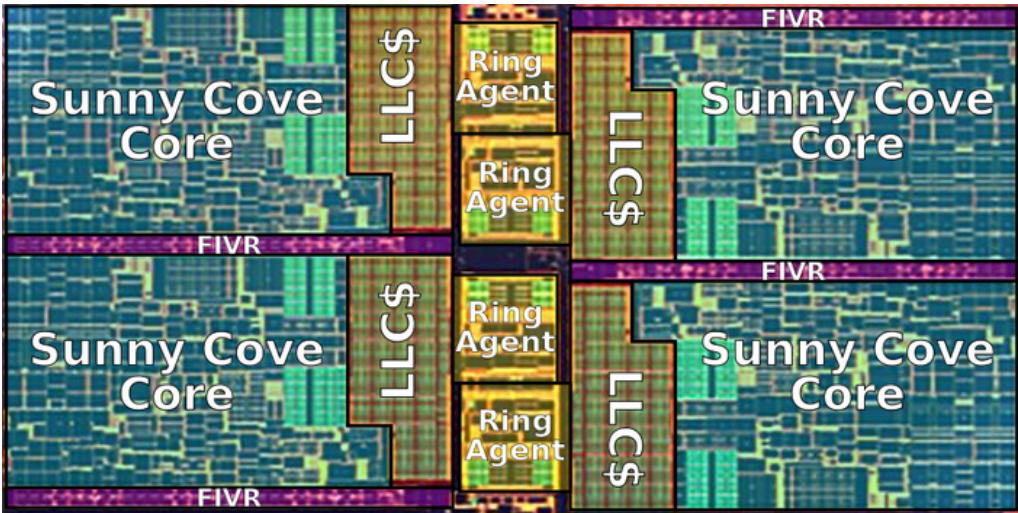




Основная группа

- 10 нм + процесс
- Четырехъядерный процессор от Ice Lake SoC
- Размер плашки ~ 30,73 мм²
 - ~ 7,86 мм x ~ 3,91 мм





Библиография

- День архитектуры Intel 2018, 11 декабря 2018

Retrieved from "https://en.wikichip.org/w/index.php?title=intel/microarchitectures/sunny_cove&oldid=95798"

Категории : микроархитектуры процессора от Intel | микроархитектуры от Intel | все микроархитектуры

Факты о " Санни Коув - Микроархитектуры - Intel "		RDF подача
кодовое название	Санни Коув ⁺	
количество ядер	2 + 4 ⁺	
дизайнер	Intel ⁺	
впервые запущен	2019 ⁺	
полное имя страницы	intel / микроархитектура / солнечная бухта ⁺	
случай	микроархитектура ⁺	
архитектура набора команд	x86-64 ⁺	
производитель	Intel ⁺	
тип микроархитектуры	CPU ⁺	
имя	Санни Коув ⁺	
этапы трубопровода (макс.)	19 ⁺	
этапы трубопровода (мин)	14 ⁺	
процесс	10 нм (0,01 мкм, 1,0e-5 мм) ⁺	



[сообщить об этом объявлении](#)

Последнее изменение этой страницы - 2 февраля 2020 года, в 23:46.